

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-117485

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)5月10日

H 04 N 5/335

P-8420-5C

H 01 L 27/14

A-8122-5F

H 04 N 5/217

8420-5C

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 固体撮像装置

⑰ 特 願 昭62-273052

⑱ 出 願 昭62(1987)10月30日

⑲ 発 明 者 安 田 好 三 千葉県茂原市早野3681番地・日立デバイスエンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

1. マトリックス配置された光電変換素子と、各光電変換素子に対応して、そのゲートが結合された増幅トランジスタと、上記増幅トランジスタにより形成された電圧信号を出力させる読み出し選択回路と、上記光電変換素子をリセットさせるリセット選択回路とを含み、上記増幅素子を通した光電変換信号と、対応する光電変換素子へのリセット電圧とを時間差を持って読み出させて、その差分を出力信号とすることを特徴とする固体撮像装置。

2. 上記光電変換素子に対応した1つの画素セルは、光電変換素子と直列形態にされ、そのゲートが第2の水平走査線に結合された第1のスイッチMOSFETと、上記増幅トランジスタのソース側に設けられ、そのゲートが上記垂直走査線に結合された第2のスイッチMOSFET

とからなり、上記第1のスイッチMOSFETを介して光電変換素子は水平リセット信号線に結合され、この水平リセット信号線は上記垂直走査線にゲートが結合された第3のスイッチMOSFETを介してリセット電圧供給線に結合され、上記増幅トランジスタのドレインは、第1の水平走査線にゲートが結合された第4のスイッチMOSFETを介して動作電圧が供給され、上記第2のスイッチMOSFETを介した増幅トランジスタのソースは、読み出し信号線に結合されるものであることを特徴とする特許請求の範囲第1項記載の固体撮像装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、固体撮像装置に関するもので、例えば、光電変換素子により形成される画素信号をMOSFET(絶縁ゲート形電界効果トランジスタ)を介して取り出す方式の固体撮像装置に利用して有効な技術に関するものである。

(従来の技術)

特開平1-117485 (2)

従来より、フォトダイオードとスイッチMOS FETとの組み合わせからなる固体撮像装置が公知である。このような固体撮像装置に関しては、例えばコロナ社「撮影工学」頁126～頁147、1985年9月「テレビジョン学会技術報告」頁49～頁54、特開昭56-152382号公報等がある。

〔発明が解決しようとする問題点〕

上記のような従来の固体撮像装置にあっては、いずれもフォトダイオードにより形成された電荷の形態の微小な光電変換信号をそのまま外部に読み出すものであるため感度が比較的悪いという欠点がある。そこで、本願発明者等は、各光電変換素子に対して増幅MOS FETを設けて、それを増幅して読み出すことを考えた。この場合、光電変換素子にリセット電圧（プリチャージ電圧）を供給する回路と読み出し回路とが別々の経路を構成することになる。半導体チップに形成される複数からなる画素セルを構成するリセット用のスイッチMOS FETの相互の特性バラツキが比較的

大きくなることから、リセット電圧にバラツキが生じてそれが固定パターンのノイズとして出力されてしまう。このため、実質的には却って感度を悪くしてしまう結果となる。

なお、電荷の形態での読み出しを行う場合、光電変換素子の読み出しとリセットとが同じ経路によって行われ、光電変換作用によって失われた電荷を補充するという形態で読み出しが行われるため、上記リセット電圧のバラツキの影響を受けないものである。

この発明の目的は、高感度を実現した固体撮像装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、マトリックス配置された光電変換素子に対応して増幅トランジスタを設けて、その増幅

トランジスタを通した光電変換信号と、対応する光電変換素子へのリセット電圧とを時間差を持って読み出させてその差分をとって出力する。

〔作用〕

上記した手段によれば、リセット電圧のバラツキによる固定パターンのノイズを除去できるから、増幅トランジスタを設けたことによる高感度化が可能になる。

〔実施例〕

第1図には、この発明に係る固体撮像装置の一実施例の要部回路図が示されている。同図では、代表として例示的に示された3行、2列分の画素アレイとその選択回路からなる固体撮像素子と、外部に設けられる出力回路とが示されている。上記固体撮像素子を構成する各回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

上記固体撮像素子は、次の各回路より構成される。1つの画素セルは、フォトダイオードD1と

直列形態にされたリセット選択経路を構成するスイッチMOS FET（絶縁ゲート形電界効果トランジスタ）Q1、Q2と、上記フォトダイオードD1のカソード電極側にゲートが結合された増幅MOS FET Q3から構成される。上記リセット選択経路を構成するスイッチMOS FET Q2のゲートは、横方向に延長される垂直走査線V1に結合される。他のスイッチMOS FET Q1は、特に制限されないが、縦方向に延長されるリセット用の水平走査線HR1に結合される。

増幅MOS FET Q3のドレインは、垂直方向の同じ列に配置される同様な増幅MOS FETのドレインと共通に結合され、スイッチMOS FET Q10を介して電源電圧Vccに接続される。上記MOS FET Q10のゲートには、読み出し用の水平走査線HO1に結合される。

上記のように読み出し用とリセット用の2つの水平走査線HO1とHR1を設けた理由は、上記増幅MOS FET Q3を設けることによって、フォトダイオードD1の光電変換信号を電圧信号と

特開平1-117485 (3)

して非破壊的に読み出すことに対応している。すなわち、上記フォトダイオードD1のリセット（プリチャージ）は、水平走査線HO1が先に選択状態にされることにより上記増幅MOSFET Q3を通して読み出しが行われた後に、水平走査線HR1が選択状態にされることによって行われる。このような構成を採ることによって、後述するように増幅MOSFET Q3を通してフォトダイオードD1の光電変換信号とそのリセット電圧の双方が時系列的に出力される。

上記フォトダイオードD1及びスイッチMOSFET Q1とQ2及びQ3とQ4からなる画素セルと同じ行（水平方向）に配置される他の同様な画素セル（D2、Q5とQ6及びQ7とQ8）等のうち、上記リセット経路を構成する入力ノードは、同図において横方向に延長される水平リセット信号線HRL1に結合される。他の行の水平リセット信号線HRL2及びHRL3等についても上記同様な画素セルが同様に結合される。同図では、他の行に配列される画素セルを構成する各回

路垂直走査線V1に共通結合される。他の行の増幅MOSFETもそれに対応した垂直走査線の信号を受けるスイッチMOSFETを介して対応する水平信号線HSL2、HSL3等に結合される。上記水平信号線HSL1ないしHSL3等は、縦方向に延長される垂直信号線VSLに共通に結合され、出力端子VOを介して負荷抵抗RLが設けられる。

これによって、上記水平及び垂直走査線に選択信号を供給する水平走査回路HSRと垂直走査回路VSRとによる選択動作に応じて、1つの画素セルが選択され、その読み出しとリセットとが行われる。

例えば、垂直走査回路VSRの動作によって垂直走査線V1がハイレベルの選択状態にされると、第1行目のスイッチMOSFET Q2とQ4、Q6とQ8及びQ12がオン状態にされる。また、水平走査回路HSRの動作によって、先に水平走査線HO1がハイレベルの選択状態にされる。これにより、スイッチMOSFET Q10がオン状

路素子には、上記のような回路記号が省略されている。上記リセット信号線HRL1～HRL3等には、それに対応した垂直走査線V1～V3と平行して配置され、それぞれ対応する垂直走査線V1～V3にゲートが結合されたスイッチMOSFET Q12～Q14を介してリセット電圧供給線RVに結合される。

上記他の例示的に示されている画素セル（D2、Q5とQ6及びQ7とQ8）のうち、スイッチMOSFET Q6は垂直走査線V1に結合され、スイッチMOSFET Q5はリセット用の水平走査線HR2に結合される。また、増幅MOSFET Q6のドレインは、同じ列の他の増幅MOSFETとともに読み出し用の水平走査線HO2にゲートが結合されたスイッチMOSFET Q11を介して電源電圧Vccが供給される。

増幅MOSFET Q3、Q7には、スイッチMOSFET Q4、Q8を介して横方向に延長される水平信号線HSL1に共通に接続される。上記スイッチMOSFET Q4、Q8のゲートは、上

記垂直走査線V1に共通結合される。他の行の増幅MOSFETもそれに対応した垂直走査線の信号を受けるスイッチMOSFETを介して対応する水平信号線HSL2、HSL3等に結合される。上記水平信号線HSL1ないしHSL3等は、縦方向に延長される垂直信号線VSLに共通に結合され、出力端子VOを介して負荷抵抗RLが設けられる。これによって、上記水平及び垂直走査線に選択信号を供給する水平走査回路HSRと垂直走査回路VSRとによる選択動作に応じて、1つの画素セルが選択され、その読み出しとリセットとが行われる。

また、1つの行における全画素セルの読み出しとリセットとが終了すると、水平ブランキング

特開平1-117485 (4)

期間の経過の後、垂直走査回路VSRは次の行の垂直走査線V2をハイレベルの選択状態にして、上記水平走査回路HSRによる同様な読み出しとリセットを行う。

外部の出力回路は、上記出力端子VOの信号を受けるサンプル&ホールド回路S&H1とS&H2、上記サンプル&ホールド回路S&H1の出力信号を遅延させる遅延回路DL、及び上記遅延回路DLの出力信号とサンプル&ホールド回路S&H2の出力信号を受ける差動アンプAMPから構成される。

上記サンプル&ホールド回路S&H1は、上記読み出し用の水平走査線HOの選択動作に同期して発生されるサンプリングパルスSP1によってその信号の取り込みと保持を行う。また、サンプル&ホールド回路S&H2は、上記リセット用の水平走査線HRの選択動作に同期して発生されるサンプリングパルスSP2によってその信号の取り込みと保持を行う。

上記第1図の固体撮像装置の読み出し動作の一

例を第2図に示したタイミング図を参照して説明する。

例えば、上記のように垂直走査線V1がハイレベルのとき、第1行目の読み出し動作とリセット動作とが水平走査回路HSRの動作に従って時系列的に行われる。すなわち、第1列目の読み出し用の水平走査線HO1がハイレベルにされると、上記のように出力端子VOには、増幅MOSFETQ3により電圧信号に変換された信号が出力される。この信号には、斜線を付したように前のリセット動作による固定パターンのノイズ成分RV1と、信号SV1とが合成されて出力される。この出力信号(SV1+RV1)は、サンプリングパルスSP1により、サンプル&ホールド回路S&H1に取り込まれる。次に、リセット用の水平走査線HR1がハイレベルにされると、それに応じてフォトダイオードD1へのリセットが行われる。それ故、そのリセット動作による固定パターンのノイズ成分RV1がそのまま出力される。実際には、リセット電圧がそのまま出力されるが、

この読み出し動作の理解を容易にするため、仮想のリセット電圧に対するバラツキ(固定パターンのノイズ)成分のみを表している。このノイズ成分RV1は、サンプリングパルスSP2により、サンプル&ホールド回路S&H2に取り込まれる。上記サンプル&ホールド回路S&H1に取り込まれた信号(SV1+RV1)は、遅延回路DLを通して遅延され、上記サンプル&ホールド回路S&H2の出力と同期して差動アンプAMPに入力される。それ故、上記差動アンプAMPの出力からは上記ノイズ成分RV1が相殺された信号成分SV1が出力される。

以下、同様にして、上記画素セルのリセット回路を構成するMOSFETQ1、Q2とQ5、Q6等の相互の特性バラツキにより発生するリセット電圧のバラツキ、言い換えるならば、各画素セルにおける固定パターンノイズ成分RV1~RV2等が相殺されて、信号成分SV1~SV2等が出力されるものとなる。

なお、上記非選択状態に置かれる次の行(V

2)に対応した水平リセット信号線HRL2等においては、画素セルのスイッチMOSFETが結合されるものであり、そのドレイン接合部が寄生光電素子として作用し、受光にตอบสนองしてスミアやブルーミングといった偽信号を発生させる。この実施例では、フォトダイオードの光電変換信号を直接増幅MOSFETのゲートに供給して読み出す構成を採るため、上記のような偽信号等が生じても何等影響を受けるものではない。

したがって、半導体集積回路内部で光電変換信号を増幅して電圧信号として出力させることで、従来のように信号電荷の転送に伴う雑音の発生や偽信号が混入されることがないため高感度化が可能になる。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1)マトリクス配置された光電変換素子に対応して増幅トランジスタを設けて、その増幅トランジスタを通した光電変換信号と、対応する光電変換素子へのリセット電圧とを時間差を持って読み出

させてその差分をとって出力することにより、リセット電圧のバラツキによる固定パターンのノイズを除去できるから、増幅トランジスタを設けたことによる高感度化が可能になるという効果が得られる。

(2) 上記のように増幅トランジスタの出力信号を外部に送出する構成においては、従来のように信号電荷の転送に伴う雑音の発生やスミアやブルーミングといった偽信号の混入を防止できるから、低ノイズ化が可能となり、上記増幅作用と相俟って低ノイズで高感度化を実現できるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1図の実施例回路において、増幅トランジスタとしては、低ノイズ化が実現できるジャンクションFETを用いるものであってもよい。このように、増幅トランジスタとしては、高

く利用できるものである。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、マトリックス配置された光電変換素子に対応して増幅トランジスタを設けて、その増幅トランジスタを通した光電変換信号と、対応する光電変換素子へのリセット電圧とを時間差を持って読み出させてその差分をとって出力することにより、リセット電圧のバラツキによる固定パターンのノイズを除去できるから、増幅トランジスタを設けたことによる高感度化が可能になる。

4. 図面の簡単な説明

第1図は、この発明の一実施例を示す要部回路図、

第2図は、その読み出し動作の一例を説明するためのタイミング図である。

HSR・・・水平走査回路、VSR・・・垂直走査回路、AMP・・・差動アンプ、S & H1, S & H

特開平1-117485 (5)

入力インピーダンスのものであれば何であってもよい。

また、外部に設けられる差動アンプは、上記のような差分の信号を出力するものであれば何であってもよい。例えば、遅延回路DLを省略して、上記のような差分の信号を出力させる回路を上記サンプル&ホールド回路S & H2のホールドタイミングに同期して動作させ、その出力信号をホールドさせるようにすればよい。この構成では、上記遅延回路DLの遅延時間の微妙な設定が不用になる。

画素アレイの読み出し動作は、奇数フィールドと偶数フィールドとで1本分づつ選り分け状態にするようにしてもよい。これにより、インタレースに対応した空間的重心が上下に移動させた画像信号を得ることができる。この場合、上記一対づつ選り分けされる水平信号線に対応して一対からなる出力線を設けるものとしてもよい。

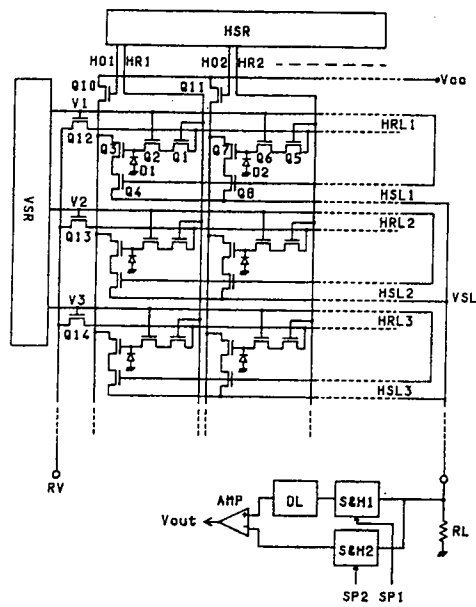
この発明は、スイッチ素子を介して光電変換素子の出力信号を読み出す方式の固体撮像装置に広

2. サンプル&ホールド回路、DL・・・遅延回路

代理人弁理士 小川 勝男

特開平1-117485 (6)

第 1 図



HSR: 水平同期回路
 VSR: 垂直同期回路
 AMP: 差動アンプ
 DL: 遅延回路
 S&H1: サンプルホールド回路
 S&H2: サンプルホールド回路

第 2 図

